

RFP관리번호	2025-반도체·디스플레이-지정공모-14		공모유형	지정공모형		
해당여부	<input checked="" type="checkbox"/> 국가전략기술 <input type="checkbox"/> 탄소중립 <input type="checkbox"/> 글로벌 R&D <input type="checkbox"/> 미래소재 <input type="checkbox"/> 전략연구사업(MPX)예정 <input type="checkbox"/> 국방전략기술(예정)					
국책연구기획 평가전문분야1	PM분야	반도체· 디스플레이	RB분야	Si반도체	RB세부분야	
국책연구기획 평가전문분야2	PM분야	반도체· 디스플레이	RB분야	비Si반도체	RB세부분야	
사업명	초고집적 반도체용 vdW 소재 및 공정기술개발사업					
RFP명	vdW 소재 기반 초고집적·초적층·대면적 3D DRAM 원천기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)					
RFP유형코드	사업목적·내용	성과물 특성		지원대상	보안과제 분류	일반
	R	1	-	1		
<b>1. 추진배경 및 기획의도</b>						
<input type="checkbox"/> 추진배경						
<ul style="list-style-type: none"> <li>○ 정부는 ‘나노기술종합 발전계획’, ‘소재부품장비 산업 경쟁력 강화 기본계획’ 등을 통해 우리나라의 반도체 소부장 기업의 육성을 발표하였음</li> <li>○ 우리나라는 메모리 반도체 생산과 제조에서 세계 최고 수준의 경쟁력을 가지고 있으며, 특히 DRAM 반도체는 AI 서버의 폭발적인 성장을 기반으로 서버용 고성능 DRAM 수요 중심의 중장기적으로 지속적인 성장을 이룰 것으로 전망됨</li> <li>○ 이에 발맞추어 정부는 차기 패러다임 전환 기술인 3D DRAM 연구 및 산업분야에서 신격차 확보를 위해 ‘반도체 미래기술 로드맵’ 과 ‘미래소재 확보 전략’, 중소기업 기술로드맵’ 등을 통하여 전공정 및 소재 로드맵을 전략적으로 제안하였음</li> <li>○ 메모리 및 비메모리 반도체 소자는 초미세 공정 개발을 통한 단위소자 소형화를 이루어 처리용량을 지속적으로 높여왔음. 그러나 반도체 소자의 물리적 선폭이 나노미터 수준으로 작아지면서, 공정 난이도와 비용이 증가하고, 소자 특성의 급격한 저하로 인해 <b>소형화 및 고집적화 한계에 도달함에 따라 이를 극복하기 위한 신소재 기반 소자 개발의 중요성이 대두되고 있음</b></li> <li>○ <b>2차원 반데르발스(vdW) 소재*</b>는 모든 구성 원자들이 평면에서 공유 결합을 이루고 원자층 수준에서도 이동도와 같은 물성 저하가 크지 않음. 특히, 나노미터 이하의 두께와 낮은 절연상수 덕분에 매우 짧은 스케일링 길이를 가져 <b>“실리콘을 대체할 차세대 초미세 초고집적 반도체 소자의 핵심 채널 소재”</b> 로 고려되고 있음</li> </ul> <p>* 반데르발스(vdW) 소재: 이차원 평면형 결정구조를 이루는 물질로서, 각 층이 약한 반데르발스(vdW) 힘에 의해 결합된 소재</p> <ul style="list-style-type: none"> <li>- 세계 최대 반도체 연구소인 IMEC은 기존 트랜지스터의 구조적, 소재적 한계 극복을 위해 CFET 구조의 트랜지스터 개발과 ‘1나노미터 시대’를 강조했으며, 실리콘의 단채널 효과 문제를 해결하는 방안으로 2차원 vdW 소재 기반의 소자 제조 공정을 발표함</li> <li>- 대만의 TSMC 또한 최근 2차원 vdW 소재 기반의 2D-NSFET와 탄소나노튜브 기반의 CNT-FET 기술 로드맵을 발표했으며, MoS<sub>2</sub> 채널을 적용한 20나노미터 스케일 트랜지스터를 제작하여 논리/연산 소자로의 활용 가능성을 보고했음</li> </ul>						

- 인텔은 IEDM 2023에서 CMOS의 핵심 부품인 N-MOS와 P-MOS를 위한 고이동도 2차원 vdW 트랜지스터 프로토타입을 시연함
- 종합반도체기업들은 ‘비욘드 무어 (Beyond Moore)’ 를 강조하며, 2D에서 3D로의 소자 구조 변화와 더불어 기존 반도체 소자의 2D 집적에서 “초고집적화를 목표로 한 3D 적층 구조로의 패러다임 변화” 에 중점을 둔 로드맵을 발표함
- 대면적 고품위 vdW 소재 확보를 위한 소재-부품-장비 원천 기술 확보의 필요성
  - 해외 기업 및 연구소를 중심으로 웨이퍼 스케일의 vdW 소재 합성 기술이 최근 다수 보고되고 있으나 나노미터 수준의 초미세 공정이 적용된 반도체 소자에 적용 가능한 반도체급 품질 조건을 충족하지 못함
  - 국내의 경우, 학계를 중심으로 세계 최초/최고 수준의 고품위 vdW 소재 합성 기술을 보유하고 있으나, 소재의 크기가 연구실 수준에 불과하여 차세대 초미세/적층 반도체 공정에 적용 가능한 크기(8-12인치)에 미치지 못함
  - vdW 소재가 기존 Si을 대체하여 초고집적 반도체 소자/회로에 적용되기 위해서는 12인치 수준의 대면적 기판에서 고품위 고균일 vdW 소재를 합성할 수 있는 장치 및 이를 이용한 공정 개발이 필요함
  - 극미세박막 형성장치 시장을 장악하고 있는 해외 선진 장비 업체인 AMAT, ASM, TEL 등과 경쟁하기 위해서는 vdW 소재 합성용 부품 및 이들이 집적화된 장비를 개발하여 기술 자립화 및 국산화가 필요함.
- 대면적 vdW 소재의 정밀 물성 제어 기술 개발 필요
  - vdW 소재 기반 반도체 소자를 구현하기 위해서는 기존의 실리콘 소재와 같이 캐리어 밀도 및 이동도 등을 자유롭게 조절하기 위한 물리, 화학적인 물성 제어 및 도핑 기술 개발이 선행되어야 함.
  - vdW 소재는 원자단위 두께를 가지고 있어 기존 실리콘 반도체 대비 도핑할 수 있는 기술이 매우 제한적임. vdW 소재의 도핑을 위해 유기분자 혹은 계면 전하이동을 유도하는 습식 방식이 주를 이루고 있으나 진공 기반의 現 반도체 집적 공정에 직접 사용하는 것이 불가함.
  - 계면 증착을 통한 전하이동법 또는 In-situ 원자 치환법 등이 제안되고 있으나 복잡한 공정 그리고 대면적의 균일성 확보가 어렵다는 한계를 가지고 있음
  - 現 반도체 공정에 적용 가능하며 대면적 반도체급 vdW 소재\*를 저온에서 정밀하고 균일하게 도핑할 수 있는 공정 기술개발이 필요함
- \* 반도체급 vdW 소재: 現 반도체 제작 공정에 호환 가능한 크기를 가지며 품질의 균일성이 보장된 소재
- 초미세 2차원 vdW 셀 트랜지스터 및 이종접합 계면 정밀 제어 기술의 필요성
  - IMEC, TSMC, 인텔, 삼성 등 글로벌 반도체 기업들이 보고한 2차원 vdW 소재 기반 트랜지스터들은 아직 대부분 로직용으로만 고려되어 왔으나, 메모리용 셀 트랜지스터로의 활용 가능성에 대한 확장 연구가 필요함

- 10나노급 이하 차세대 DRAM은 기존 미세화 기술의 한계 봉착으로 4F<sup>2</sup> 수직형 메모리 시대 이후, 매우 빠르게 beyond 4F<sup>2</sup> 메모리인 3D 적층형 메모리로 전환될 것으로 예상됨
- 3D 적층형 메모리 셀은 적층을 위해 기존 buried channel 구조 대신 planar channel 구조가 적용될 것으로 예상되어 단채널 효과 및 이에 기인한 다양한 오프상태의 누설 전류(I<sub>OFF</sub>) 원인 들을 10나노미터 수준의 초미세 채널 트랜지스터 소자에서 평가하고 2차원 vdW 소재도입을 통한 개선 방안을 발굴할 필요가 있음
- 2차원 vdW 소재 기반 트랜지스터 소자를 제작할 경우, 소재 간 이중접합 영역에서 필연적으로 계면결함이 발생하며, 이러한 계면결함은 특히 초미세 소자를 구현할 때 Source/Drain 접촉저항 증가와 Gate의 채널 제어 약화를 초래하여 트랜지스터의 성능과 신뢰성을 저하함. 이를 해결하기 위해서는 계면 결함의 원인을 규명하고, vdW 소재의 계면 특성을 제어할 수 있는 신규 계면 소재 및 물리·화학적 vdW 표면 개질 기술을 개발하는 것이 필요함

○ 2차원 vdW 소재 기반 3차원 메모리 셀 개발의 필요성

- 대규모 데이터 기반 인공지능 컴퓨팅을 위해서는 고집적, 고대역폭, 저지연 메모리가 필수적이며, DRAM의 bit 밀도는 매년 약 20%씩 증가해 왔음(DDR4 2016~2020 기준). 그러나, 미세 공정으로 선폭을 10나노미터 이하로 줄일 때 기술적인 한계가 예상되면서 3D 적층형 DRAM에 대한 개발 연구가 최근 글로벌 반도체 기업을 중심으로 본격적으로 시작되고 있음
- 메모리 어레이를 3D 적층할 때 기존 메모리 대비 집적도를 향상하려면, (3D 셀 면적) / (2D 셀 면적) 비율보다 훨씬 많은 층을 제작해야만 집적도 이점을 얻을 수 있음. 2차원 vdW 소재 기반 소자는 원자 단위의 두께 덕분에 실리콘보다 scalability가 우수해 buried channel 구조 적용이 어려운 3D 메모리 셀에 적합하며, 짧은 채널 길이에서도 낮은 S-slope를 유지해 낮은 I<sub>OFF</sub>를 달성할 수 있을 것으로 기대됨
- 적층형 구조에서는 높은 aspect ratio로 인한 공정적 어려움이 발생하기 때문에 3D 메모리 칩의 높이도 중요하게 고려되어야 하는 부분임. 2차원 vdW 소재는 실리콘에 비해 수 나노미터 수준의 두께에서도 우수한 전기적 특성이 유지되어 수직 스케일링에 유리하며, 3차원 메모리 칩의 높이를 증가시키지 않고도 적층 개수를 획기적으로 늘릴 수 있어 고집적도 메모리 어레이 구현에 적합할 것으로 기대됨

□ 기획의 주안점

- 차세대 초고집적 반도체 공정에 맞추어 8-12인치 고품위 vdW 소재를 합성할 수 있는 특화된 부품-장비 개발 전략이 제시되어야 함
- 12인치 고품위 vdW 소재 및 관련 장비 기술의 산업적 활용 및 대규모 확산 가능성을 확인하기 위한 글로벌 반도체 연구기관과 연구수행기관 간의 협력 방안 모델이 필요함
- 반도체 공정에 적용 가능하며 Thermal Budget에 따른 후속 공정 영향성을 최소화하기 위한 저온-고속-대면적 vdW 소재 합성 전략 제시가 필요함

- 합성된 vdW 소재의 세부 평가 지표 및 방법에 대한 글로벌 반도체 기관과의 협력 방안이 제시되어야 함
- vdW 소재에 특화된 비파괴적 소재 결정성 및 미세구조 분석법이 개발되어야 함
- 대면적, 저온, 고균일 건식 도핑 및 이에 대한 소재 평가 방법이 제시되어야 함
- vdW 소재와의 호환이 가능한 초고유전 특성 소재 및 관련 기술이 포함되어야 함
- 제안된 vdW 소재 기반 소자 연구의 산업向 적용/확산 가능성을 확인하기 위해 국내외의 반도체 기업 및 연구기관과의 협력 방안 모델을 제시해야 함
- 2차원 vdW 소재와 절연체/전도체와의 이종접합부 계면결함 분석법, 결함 최소화 공정/소재 개발 계획이 포함되어야 함
- 셀 트랜지스터와 커패시터를 여러 단 수직으로 적층할 수 있는 셀 구조 및 실제로 이를 구현하기 위한 공정 흐름도를 제안하고, 단위 셀에서의 메모리 동작 특성을 검증해야 함
- 8인치 웨이퍼 레벨의 소자 집적 가능성을 확인하고 어레이 산포 및 수율을 정량목표 기반으로 자율 제시함

## 2. 연구개발목표

### □ 최종 목표

- 차세대 반도체 고집적화를 위한 vdW 소재 플랫폼 기술을 개발하고 웨이퍼 레벨에서 3D DRAM 실증을 통해 vdW 소재 기반 초고집적·초적층 3D 반도체의 원천기술 개발

### □ 연구개발 범위

- 초고집적 반도체 vdW 소재 및 공정기술 확보를 위한 소재 관련 전공정, 소자 제작 공정, DRAM 배선 및 3D 적층 공정
  - (2D vdW 소재 및 분석) 반도체급 대면적 vdW 소재의 저온 합성·증착 및 원자층 단위 소재 특성 제어를 위한 기술과 물성 평가 기술
  - (2D vdW 소자 및 공정) 초미세 공정 기술, cell 트랜지스터 어레이 적층 기술, 소자 단위 컨택 저항 저감 패터닝 기술, 소자 핵심 성능 확보 및 실증 기술
  - (3D DRAM\* 시스템 및 설계) vdW 소자를 활용한 3D 적층형 DRAM Integration을 위한 설계 및 배선, 소자 통합 기술
- \* 개별 소자(트랜지스터, 커패시터)가 구성된 층(layer)을 수직으로 반복 적층한 구조의 소자로 정의

### □ 단계별 목표

- 컨소시엄 종합 목표

컨소시엄	1단계 (‘25 ~ ‘27)	<ul style="list-style-type: none"> <li>• 8인치 웨이퍼상에 합성된 고품질 vdW 소재</li> <li>• 50nm급 vdW cell 트랜지스터</li> <li>• 2층 적층된 3D DRAM</li> </ul>
	2단계 (‘28 ~ ‘30)	<ul style="list-style-type: none"> <li>• 12인치 웨이퍼상에 합성된 고품질 vdW 소재</li> <li>• 10nm급 vdW cell 트랜지스터</li> <li>• 6층 적층된 3D DRAM</li> </ul>

○ 주관과제별 목표

주관 1-1	1단계 (’25 ~ ’27)	8인치 크기의 반도체급 vdW 소재 합성/분석 기술 개발
	2단계 (’28 ~ ’30)	12인치 크기의 반도체급 vdW 소재 합성/분석 기술 개발
주관 1-2	1단계 (’25 ~ ’27)	8인치 크기 내 균일 합성을 위한 부품/장비 요소 기술 개발
	2단계 (’28 ~ ’30)	12인치급 대면적 vdW 물질 합성 장치 제조 및 성능 평가
주관 1-3	1단계 (’25 ~ ’27)	초고유전막 소재 합성 및 전기적 특성 평가 기술 개발
	2단계 (’28 ~ ’30)	2차원재료/단결정 유전막 소재 적층 통합 실증 평가 및 신뢰성 평가기술 개발
주관 1-4	1단계 (’25 ~ ’27)	반도체급 vdW 단위 소재 도핑 기술 개발
	2단계 (’28 ~ ’30)	8인치 반도체급 vdW 소재 도핑 기술 개발
주관 1-5	1단계 (’25 ~ ’27)	6인치 vdW 소재 무손상 전사 기술 개발
	2단계 (’28 ~ ’30)	8인치 vdW 소재 무손상 전사 기술 개발
주관 2-1	1단계 (’25 ~ ’27)	vdW 채널소재 기반 50nm급 pitch 미세 소자 제작 및 단채널 효과 평가 기술 개발
	2단계 (’28 ~ ’30)	vdW 기반 10nm급 트랜지스터 채널 패터닝 기술 개발 및 초미세소자 성능평가
주관 2-2	1단계 (’25 ~ ’27)	계면결합 해석 및 계면특성제어 기술개발
	2단계 (’28 ~ ’30)	vdW 채널 적층구조에서의 실증평가 및 계면제어공정 고도화
주관 2-3	1단계 (’25 ~ ’27)	vdW 소재 기반 적층형 논리연산 소자 구조 및 공정 기술 개발
	2단계 (’28 ~ ’30)	vdW 소재 기반 적층형 논리연산 소자 제작 및 논리 연산 소자 실증
주관 2-4	1단계 (’25 ~ ’27)	8인치 웨이퍼 레벨의 2단 vdW 채널 IT-IC 셀 어레이 개발
	2단계 (’28 ~ ’30)	8인치 웨이퍼 레벨의 6단 vdW 채널 IT-IC 셀 어레이 개발
주관 3 (사업단)	1단계 (’25 ~ ’27)	<ul style="list-style-type: none"> <li>• 컨소시엄 목표 달성을 위한 주관과제 연계·협력연구 추진</li> <li>• 연구성과 실증을 위한 국내/외 글로벌 반도체 유관 기관과의 네트워크 및 협약</li> <li>• 1단계 연구목표 및 최종 산출물 관리</li> </ul>
	2단계 (’28 ~ ’30)	<ul style="list-style-type: none"> <li>• 컨소시엄 목표 달성을 위한 주관과제 연계·협력연구 추진</li> <li>• 연구성과 실증을 위한 국내/외 글로벌 반도체 유관 기관과의 네트워크 및 협약</li> <li>• 2단계 연구 목표 및 최종 산출물 관리</li> </ul>

3. 연구개발내용 및 성과목표

▶ (주관 1-1) 반도체급 12인치 vdW 소재 합성/분석 기술 개발

□ 연구개발목표 및 내용

- 목표: 초고집적 반도체 소자에 적용할 수 있는 반도체 등급(Semiconductor-grade)의 vdW 소재를 12인치 크기로 합성하며 소재의 결정 정보를 비파괴적으로 분석할 수 있는 기술 개발
- 12인치 크기의 반도체급 vdW 소재 합성 기술 개발: DRAM 구동소자용 반도체 등급 n-type vdW 소재의 12인치급 단결정 대면적화 기술 개발을 목표로 함. 반도체 등급을 만족

하기 위해 평균 전자이동도 100 cm<sup>2</sup>/Vs 이상, 문턱전압 균일도 0.5 V 이하, 스위칭 속도 150 meV/dec 이하, 16개 임의지점에서 균일도 99% 이상을 만족해야 함

- 400 °C 이하 저온 vdW 소재 합성 기술 개발: BEOL 또는 M3D 응용을 위해 성장온도 400 °C 이하 저온에서 30분 이내로 vdW 소재를 합성하는 기술 개발을 목표로 하며, 제한 온도 조건에서 결함 밀도 10<sup>13</sup> cm<sup>-2</sup> 이하의 조건을 만족해야 함
- 합성 소재의 in-situ 모니터링이 가능한 합성-분석 시스템 개발: vdW 소재 합성 중 결함 밀도 및 분포 등을 실시간으로 모니터링 할 수 있는 in-situ 분석 기술 개발
- 비파괴적 단층 vdW 소재 결정 분석 기술 개발: vdW 소재 합성 후 결정립 및 결정방향 확인을 위한 비파괴적 분석법 확립 개발. 분석 가능한 결정립 크기는 1 μm 미만, 각 그레인의 결정방향 오차는 1 ° 미만이어야 함

□ 단계별 연구개발내용

주관 1-1	1단계	<p>□ 8인치 크기의 반도체급 vdW 소재 합성/분석 기술 개발</p> <ul style="list-style-type: none"> <li>○ 고품질 반도체급 vdW 소재 합성 기술 및 in-situ 분석 시스템 개발               <ul style="list-style-type: none"> <li>- 단결정 수준의 합성을 위한 열역학적, 반응속도론적 연구</li> <li>- 응용 소자에 적합한 기판 선정 및 관련 조건의 최적화</li> <li>- vdW 소재의 핵생성, 성장, 전체 성장 과정 중 in-situ 분석 시스템 개발</li> </ul> </li> <li>○ vdW 소재 저온 합성 기술 개발               <ul style="list-style-type: none"> <li>- 성분 및 도펀트 제어를 통한 반도체 특성 제어 공정 기술 개발</li> <li>- 결정립 증대를 위한 비알칼리 금속 첨가제 개발 또는 알칼리 금속 첨가제 사용 후 알칼리 금속 부산물 제거 공정 개발</li> </ul> </li> <li>○ vdW 소재의 결정학 정보의 이미지화 가능한 분석 시스템 개발               <ul style="list-style-type: none"> <li>- 소재 합성과 결정분석 사이 순환적 피드백을 통한 신뢰성 높은 결정학 데이터 베이스 구축</li> <li>- 구축된 데이터베이스를 기반, 소재 내 결정방향과 결함 밀도 및 분포를 높은 정확도로 분석</li> <li>- 분광법에 기반한 vdW 소재 내 결정성 시각화 진행</li> </ul> </li> <li>○ 컨소시엄 내 주관과제에 vdW 소재 공급</li> <li>○ 반도체기업과의 협력               <ul style="list-style-type: none"> <li>- 반도체기업과 vdW 소재 및 기판 선정 기준 및 합성 전략 공유</li> <li>- 반도체 공정 허용 기준 온도 및 이에 기반한 활용 가능 vdW 소재 분류 협력</li> </ul> </li> </ul>
	2단계	<p>□ 12인치 크기의 반도체급 vdW 소재 합성/분석 기술 개발</p> <ul style="list-style-type: none"> <li>○ 고품질 반도체급 vdW 소재의 균일 합성 기술 개발               <ul style="list-style-type: none"> <li>- 합성압력, 합성온도, 전구체 유량등 속도론적 조정을 통한 단결정 수준의 vdW 소재의 고속 합성 조건 확립</li> </ul> </li> <li>○ 적층 공정 적용을 위한 저온 합성 기술 개발               <ul style="list-style-type: none"> <li>- 저온, 적층, 고성능이 확보 된 비알칼리 계열 전구체 조합의 MOCVD 공정 개발 또는 알칼리 금속 계열 전구체 포함 MOCVD 성장 후 알칼리 메탈 부산물 제거 기술 개발 및 검증법 개발</li> <li>- 다층 반도체 집적 공정 적용 가능성 실증</li> </ul> </li> <li>○ vdW 소재의 비파괴적 분석 기술 및 분석 시스템 개발               <ul style="list-style-type: none"> <li>- 분석된 vdW 소재의 소자화를 통한 비파괴적 분석법 실증</li> </ul> </li> <li>○ 컨소시엄 내 주관과제에 대면적화 및 특성 개선된 vdW 소재 공급</li> <li>○ 반도체기업과의 교차 검증               <ul style="list-style-type: none"> <li>- 반도체기업의 분석 틀에 기반한 합성된 vdW 소재 결정성 분석 및 교차 검증</li> <li>- 합성조건에 따른 적층된 vdW 소재 및 박막 소재의 특성 분석 협력</li> <li>- 분석된 vdW 소재의 전기적 특성 평가 및 교차 검증</li> </ul> </li> </ul>

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
반도체급 vdW 소재 합성/분석 기술 개발 vdW 저온 컨택 공정 개발	평균 전하이동도 (cm <sup>2</sup> /Vs)	≥ 70	≥ 100	-
	문턱전압 균일도 (V)	≤ 0.8	≤ 0.5	-
	스위칭 속도 (meV/dec)	≤ 300	≤ 150	-
	소자 균일도 (% , 임의의 16개 소자 이상)	≥ 90	≥ 99	소자 선택 방법 및 균일도 대상 특성은 자율 제시
	vdW 소재 웨이퍼 크기 (인치)	≥ 8	≥ 12	-
	박막내 알칼리 금속 원소 잔존 비율 (%)	≤ 2	≤ 1	vdW소재 대비 알칼리 금속 함유량
	소재 합성 공정 온도 (°C)	≤ 400	≤ 400	-
	소재 합성 시간 (분, 웨이퍼 1장당)	≤ 60	≤ 30	-
	결함밀도 (#/cm <sup>2</sup> )	≤ 10 <sup>13</sup>	≤ 10 <sup>13</sup>	-
	소자 구동 안정성	-	-	단계별 목표 자율 제시
비파괴적 단층 vdW 소재 결정 분석 기술 개발	분석 가능한 결정립 크기 (μm)	≤ 5	≤ 1	-
	결정립의 결정방향 오차 (°)	≤ 1	≤ 1	-

▶ (주관 1-2) 반도체급 12인치 vdW 소재 균일-고속 합성 기술개발

□ 연구개발 목표 및 내용

- 목표: 초고집적 반도체 소자에 적용할 수 있는 반도체 등급(Semiconductor-grade)의 vdW 소재를 12인치 크기로 균일하고 빠르게 합성할 수 있는 부품/장비 요소 기술 개발
- 12인치 크기의 대면적 기판에서 균일성 및 결정성 확보를 위한 히팅 모듈, 가스공급 라인 및 가스공급 모듈, 샤워헤드 등 장비 구성 요소기술 개발
  - 히팅모듈의 온도 안정성: ±1% 이내
  - 서셉터 온도 균일도: ±2°C 이내
  - 챔버당 Unit Per Equipment Hour (UPEH): 1매/Hr 이상
  - 증기압 안정성: ±1% 이내
  - 기화율: 97% 이상
  - 초평탄화 Chuck (Ra zero chuck): Ra < 100 nm
  - 12인치 vdW 소재 두께 균일도: ±2% 이내

□ 단계별 연구개발 내용

주관 1-2	1단계	<p>□ 8인치 크기의 반도체급 vdW 소재 균일 합성을 위한 부품/장비 요소 기술 개발</p> <ul style="list-style-type: none"> <li>○ 초고균일 vdW 소재 합성을 위한 부품 요소 기술 개발 (1-2단계 공통)             <ul style="list-style-type: none"> <li>- 세라믹 히터 구조, 열선 배치, 신규 물질 등의 합성을 통한 초고균일 히터 모듈 개발</li> <li>- 액체/고체 상태의 Mo, W 등 후보 물질 전구체의 안정적인 공급이 가능한 가스공급 라인 및 일정 증기압을 유지시켜줄 수 있는 온도 안정화 모듈 개발</li> <li>- 전구체의 기화량 또는 aerosol 상태로 전이하여 액체상태를 기체상태로 상전이 시킬 수 있으며 이를 일정한 양으로 공급 가능한 액상/고상 전구체 공급 모듈 개발</li> <li>- 기관에 주입되는 가스의 균일도 및 농도 등의 변수를 제어할 수 있는 샤워헤드 모듈 구조 개발</li> </ul> </li> <li>○ 고속 vdW 소재 합성을 위한 전구체 고속 유입 시스템 개발             <ul style="list-style-type: none"> <li>- 고온 작동 가능한 고융점 소재 기반 캐니스터 개발</li> </ul> </li> <li>○ 8인치 vdW 합성 장치 성능 평가 및 합성된 소재 품질 검증             <ul style="list-style-type: none"> <li>- 상용화된 반도체 공정 장비 내 개발 부품 적용 및 검증</li> <li>- 반도체 기업을 통한 vdW 소재 합성 및 평가를 통한 기술 검증</li> </ul> </li> </ul>
	2단계	<p>□ 12인치 크기의 반도체급 vdW 소재 합성 장치 제조 및 성능 평가 기술 개발</p> <ul style="list-style-type: none"> <li>○ 초고균일-고속 vdW 소재 합성을 위한 부품 요소 기술 개발             <ul style="list-style-type: none"> <li>- 합성 기관 온도 최적화 및 vdW 결정 성장 시 핵생성된 vdW 결정의 위치 제어를 위한 초평탄 chuck 개발</li> <li>- 균일한 결정 성장을 위한 위치 제어 용 광학 시스템 개발</li> </ul> </li> <li>○ 12인치 vdW 합성 장치 성능 평가 및 합성된 소재 품질 검증             <ul style="list-style-type: none"> <li>- 상용화된 반도체 공정 장비 내 개발 부품 적용 및 검증</li> <li>- 반도체 기업을 통한 vdW 소재 합성 및 평가를 통한 기술 검증</li> </ul> </li> </ul>

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
대면적 기관에서 균일성 및 결정성 확보를 위한 장비 구성 요소기술 개발	히팅모듈의 온도 안정성 (%)	≤5	≤1	-
	서셉터 온도 균일도 (°C)	≤±3 (8인치)	≤±2 (12인치)	-
	챔버당 UPEH (매/Hr)	≥0.5	≥1	-
	증기압 안정성 (%)	≤5	≤1	-
	기화율 (%)	≥95	≥97	-
	초평탄화 Chuck (Ra zero chuck) (nm)	≤100	≤100	-
	vdW 소재 두께 균일도 (%)	≤5 (8인치)	≤2 (12인치)	-

- 초평탄 척 개발
  - 웨이퍼와 접촉 면적을 극대화 할 수 있는 초평탄 척 개발
- 고속/고온 캐니스터 히팅 기술
- 반도체 공정 부품 국산화
  - 총 5건 이상, 연간 1건 내외 수준 고려
- 국내·외 특허 출원 및 등록 목표 자율 제시
  - 특허 등록목표 5건 이상
  - 삼극특허 출원 1건 이상
- 기술이전 5건 이상



▶ (주관 1-3) 차세대 커패시터용 초고유전막 소재 및 신뢰성 평가 기술 개발

□ 연구개발 목표 및 내용

- 목표: 10 nm 이하급 수평형 DRAM cell capacitor를 달성하기 위한 기존 high-k 유전막 (k~30) 수준을 넘어서는 차세대 초고유전막(k≥100) 소재 및 전기적 신뢰성 평가 기술 개발
- 초고유전막 소재 합성 및 공정 기술 개발
  - 대면적 유전막 성장 기술: 12인치 기판 이상
  - 고유전율 특성: 두께 20 nm 막에서 100 이상
  - 개발된 유전막 소재의 물성 균일도: 균일도 90% 이상
  - 이종접합기반 유전막 소재 대면적 공정 기술 확보: 수율 90% 이상
- 초고유전막 소재 기반 커패시터 소자 전기적 특성 확보 및 신뢰성 평가 기술 개발
  - 항복전압 특성: 6 MV/cm 이상
  - 누설전류: 0.8 V 인가 조건 하에서  $1 \times 10^{-6}$  A/cm<sup>2</sup> 이하
  - 등가산화막 두께: 0.4 nm 이하
  - Time domain 소자 분석 시스템 개발

□ 단계별 연구개발 내용

주관 1-3	1단계	<p>□ 커패시터용 초고유전막 소재 합성 및 전기적 특성 평가 기술 개발</p> <ul style="list-style-type: none"> <li>○ Dielectric constant가 100 이상 되는 유전막 소재 개발                             <ul style="list-style-type: none"> <li>- 원자의 동역학 제어 및 vdW 계면에 유전막 소재 성장조건 확보</li> <li>- 공정변수 제어를 통해 두께 10 nm 이하의 초고유전막 소재 성장 원천기술 확보</li> </ul> </li> <li>○ 이종접합기반 초고유전막 소재 대면적 공정 기술 개발                             <ul style="list-style-type: none"> <li>- 유전막 소재 사이의 계면 특성 분석</li> <li>- 결정성 분석을 통한 내부 응력에 따른 재료 물성 분석</li> <li>- 이종접합기반 초고유전막 소재 대면적화 및 신뢰성 평가</li> <li>- 초고유전막 직성장과 외부 기판 합성 후 전사 기술을 병렬적으로 수행</li> </ul> </li> <li>○ 커패시터 소자 전기적 특성 및 신뢰성 평가 기술 개발                             <ul style="list-style-type: none"> <li>- 다양한 전극 물질에 따른 capacitance 거동 분석</li> <li>- 다양한 주파수에 따른 커패시터 소자 변조 특성 분석</li> <li>- 단결정 유전막 EOT에 따른 누설전류 및 전하이동 메커니즘 분석</li> <li>- 누설전류에 영향을 받지 않는 time domain capacitance 분석 기술 개발</li> </ul> </li> </ul>
	2단계	<p>□ 커패시터용 초고유전막 소재 적층 통합 실증 및 신뢰성 평가기술 개발</p> <ul style="list-style-type: none"> <li>○ 다양한 초고유전막 소재의 vdW 적층을 통한 고유전율 시스템 개발                             <ul style="list-style-type: none"> <li>- 상용화 기판 수준에서 초고유전막 성장 조건 확보</li> <li>- 이종접합기반 유전막 소재 통합 원천기술 확보</li> <li>- 이종접합기반 유전막 소재의 신뢰성 평가</li> </ul> </li> <li>○ 커패시터 소자의 계면 분석 및 전기적 신뢰성 평가기술 개발                             <ul style="list-style-type: none"> <li>- 실시간 온도 및 환경 변화에 따른 operando 분석을 통한 계면 분석</li> <li>- 다양한 온도 및 열처리 조건에 따른 소자 신뢰성 분석</li> <li>- 누설전류에 영향을 받지 않는 time domain capacitance 분석 기술 개발</li> <li>- 다양한 2차원재료/단결정 유전막 소재 vdW 적층을 통한 고유전율 통합 시스템 계면 및 신뢰성 분석</li> </ul> </li> </ul>

□ 성과목표

항목(도출)		1단계 목표	최종 목표	비고
초고유전막 소재 및 전사 기술 개발	vdW 초고유전막 소재 크기 (인치)	≥6	≥8	-
	유전율	≥70	≥100	유전막 두께 20 nm
	전사 시 박리 수율 (%)	≤90	≤99	박리 후 수율 평가 기준 자율제시
	유전 물성 균일도 (% , 임의의 16개 위치 이상)	≥90	≥99	위치 선택 방법 및 균일도 대상 특성은 자율 제시
초고유전막 소재기반 커패시터 소자 전기적 특성 확보 및 신뢰성 평가 기술 개발	항복전압 (MV/cm)	≥6	≥6	-
	누설전류 (A/cm <sup>2</sup> )	≤1×10 <sup>-6</sup>	≤1×10 <sup>-6</sup>	0.8 V 전압 인가 시
	등가산화막 두께 (nm)	≤0.4	≤0.4	-
	Time domain 소자 분석 시스템 개발	-	-	단계별 목표 자율 제시

▶ (주관 1-4)반도체급 vdW 소재의 정밀-건식 도핑 기술 개발

□ 연구개발 목표 및 내용

- 목표: 저온에서 수행 가능한 건식기반 8인치 반도체급 vdW 정밀 도핑 공정 기술 개발 및 신뢰성 평가 기술 개발
- 플라즈마 또는 전자빔을 이용한 저온(400 °C 이하) 건식 정밀 도핑 기술 개발 및 vdW 반도체 물성 제어
- 포스트 어닐링 및 이중 원소 치환 공정(600 °C 이하)을 이용한 도핑 기술 개발

□ 단계별 연구개발 내용

주관 1-4	1단계	<p>□ 6인치 반도체급 vdW 단위 소재 도핑 기술 개발</p> <ul style="list-style-type: none"> <li>○ 플라즈마 처리를 통한 표면 공극(vacancy) 활용 도핑 기술 개발             <ul style="list-style-type: none"> <li>- 플라즈마 기반 vdW 단위 소재의 공극 활용 건식 도핑 기술 개발</li> <li>- 플라즈마 도핑 제어에 따른 단위소재 vdW 소자 공정 기술 개발</li> </ul> </li> <li>○ 전자/이온 조사를 통한 선택적 패터닝 도핑 기술 개발             <ul style="list-style-type: none"> <li>- vdW 소재에 전자/이온 조사/주입을 통한 n-형/p-형 반도체 소재 물성 제어 기술 개발</li> <li>- 도핑 농도 제어에 따른 단위소재 vdW 소자 공정 기술 개발</li> </ul> </li> <li>○ 이중 원소 치환형 도핑 공정 기술 개발             <ul style="list-style-type: none"> <li>- 도핑용 전구체의 온도별 분해 및 반응 특성 검증 기술 개발</li> <li>- 이중 원소 치환 공정을 위한 원천 원리 및 장비 개발</li> <li>- 단위 소재 스케일에서의 치환형 도핑 공정 기술 개발</li> </ul> </li> <li>○ 반도체 기관과의 교차 검증             <ul style="list-style-type: none"> <li>- 도펀트, 공정 활용성 및 도핑 특성 검증</li> <li>- 비휘발성 도펀트 활용, 어닐링 및 건식 도핑 공정 적용 가능성 검증</li> <li>- 도핑의 균일성 및 정밀성 교차 검증</li> </ul> </li> </ul>
-----------	-----	----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

2단계	<p>□ 8인치 반도체급 vdW 소재 도핑 기술 개발</p> <ul style="list-style-type: none"> <li>○ 플라즈마 이용한 단결정 vdW 소재의 공극 활용 건식 도핑 효과 연구 <ul style="list-style-type: none"> <li>- 플라즈마 도핑 제어에 따른 단결정 vdW 소자 공정 기술 개발</li> </ul> </li> <li>○ 전자/이온 조사를 통한 단결정 vdW 소재 도핑 기술 개발 <ul style="list-style-type: none"> <li>- 단결정 vdW 소재에 전자/이온 조사/주입을 통한 캐리어 타입 및 도핑 농도 제어를 통한 소재물성 제어 및 반도체 특성 구현</li> <li>- 전자 도핑 제어에 따른 단결정 vdW 소자 공정 기술 개발</li> </ul> </li> <li>○ 포스트 어닐링 융합 이중 원소 치환형 저온 도핑 공정 기술 개발 <ul style="list-style-type: none"> <li>- 단결정 vdW 소재 저온 도핑 공정 개발을 위한 전처리 및 포스트 어닐링 기술 개발</li> <li>- 전구체 이송 시스템 융합을 통한 이중 원소 치환형 대면적 단결정 vdW 소재 도핑 공정 기술 개발</li> </ul> </li> <li>○ 적층형 DRAM 소자 적용 도핑 기술 개발 <ul style="list-style-type: none"> <li>- 건식 도핑 기술들을 활용하여 적층형 DRAM 소자의 도핑 밀도 및 소자 성능 제어 기술 개발</li> </ul> </li> <li>○ 중합반도체 기관과의 교차 검증 <ul style="list-style-type: none"> <li>- 대면적 웨이퍼에서 정밀도/균일성 교차 검증</li> <li>- 건식 도핑 및 이온 치환형 도핑 처리된 대면적 소재의 소자화를 통한 도핑 품질 및 균일성 교차 검증</li> </ul> </li> </ul>
-----	--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
반도체급 vdW 소재 건식 도핑 기술 개발	vdW 도핑 영역 (인치)	≥6	≥8	-
	이중원소 치환 건식 도핑 공정 온도 (°C)	≤700	≤600	-
	플라즈마 및 집속빔 조사 건식 도핑 공정 온도 (°C)	≤500	≤400	-
	도핑 후 소재의 균일도 만족 영역(%)	≥90	≥95	도핑 레벨 균일도 (예시: Δ% ≤0.2)
	선택 영역 패턴 도핑 (해상도 μm)	≤20	≤2	-
vdW 소재 도핑 농도 및 균일도 분석 평가 기술 개발	도펀트 함유량 (at%)	-	-	단계별 목표 및 목표 검증 스펙 자율 제시 (예시: XPS 성분 분석에 의한 불순물 원자의 atomic % 평가, 1단계 목표 예시: $0 \leq n_d \leq 3$ 2단계 목표 예시: $0 \leq n_d \leq 10$ )
	도핑 레벨 균일도 (Δ%, 중심부터 가장자리까지 고르게 10포인트 이상 샘플링 검증)	-	-	단계별 목표 및 목표 검증 스펙 자율 제시 (예시: 5 μm × 5 μm 영역 Raman mapping, 1단계 목표 예시: ≤0.3 2단계 목표 예시: ≤0.2)
	소재 소자화에 의한 균일성 및 재현성 검증 (불량/횟수)	≤10/100	≤2/100	균일성/재현성 검증방법 및 불량 기준은 자율제시 (기준 예시: 소재/금속 쇼트키 배리어 $\phi_{SB} = 0.5 \text{ eV}$ & 균일도 $\Delta = \pm 0.05 \text{ eV}$ 이내 @ 상온)

▶ (주관 1-5) 반도체급 vdW 소재의 대면적 무손상 전사 기술개발

□ 연구개발 목표 및 내용

- 목표: 8인치 반도체급 vdW 소재의 대면적 무손상 전사 공정 기술 개발 및 실시간 연속 특성 평가 기술 개발
- 무손상 전사필름 기술\_On-demand 전사필름 폭: 12인치 이상
- 대면적 무손상 전사기술\_vdW 소재 전사 면적: 8인치 웨이퍼
- vdW 소재 실시간 연속 특성평가 기술 개발

□ 단계별 연구개발 내용

주관 1-5	1단계	<p>□ 6인치 vdW 소재 무손상 전사 기술 개발</p> <ul style="list-style-type: none"> <li>○ 무손상 전사를 위한 전사필름 핵심기술 개발                             <ul style="list-style-type: none"> <li>- vdW 소재와의 표면에너지 매칭 및 컨포멀 컨택(conformal contact) 확보, 변형 최소화를 위한 접착소재 개발</li> <li>- 무손상 전사를 위한 전사필름 구조 설계 및 프로토타입 필름 개발</li> <li>- 접착소재의 접착력 제어를 위한 전사필름 표면처리 기술 개발</li> <li>- 최종 공정 이후 잔류물 완벽 제거 검증 기술 확보</li> </ul> </li> <li>○ 대면적 vdW 소재 무손상 전사 공정 및 장비 핵심기술 개발                             <ul style="list-style-type: none"> <li>- 무손상 전사공정을 위한 접촉압력 및 온도에 따른 전사필름의 변형 및 vdW 소재 박리거동에 대한 해석 모델 개발</li> <li>- 균일한 접촉압력 형성을 위한 하중제어 모듈 및 vdW 소재/기판 사이의 미끄럼 방지를 위한 동기화 기술 개발</li> <li>- 프로토타입 전사필름 적용 6인치급 vdW 소재 무손상 전사 기술 개발</li> </ul> </li> <li>○ vdW 소재 무손상 전사 특성평가 핵심모듈 개발                             <ul style="list-style-type: none"> <li>- 실시간 연속 특성평가 기술 개발</li> <li>- 전사 전, 후 vdW 소재 특성변화 최소화 공정 기술 개발</li> </ul> </li> </ul>
	2단계	<p>□ 8인치 vdW 소재 무손상 전사 기술 개발</p> <ul style="list-style-type: none"> <li>○ vdW 소재 전사용 on-demand 전사필름 개발                             <ul style="list-style-type: none"> <li>- 컨포멀 컨택 (conformal contact) 및 손상방지, 오염방지 기능이 개선된 대면적 on-demand 전사필름 기술 개발</li> <li>- 무손상 전사를 위한 표면처리 기술 고도화</li> </ul> </li> <li>○ 대면적 vdW 소재 무손상 전사공정 및 장비 기술 개발                             <ul style="list-style-type: none"> <li>- 하중제어 및 스테이지 동기화 모듈 고도화 및 표면처리 기술 개발</li> <li>- 8인치 vdW 소재 무손상 전사공정 기술 개발</li> </ul> </li> <li>○ vdW 소재 무손상 전사 특성평가 모듈 고도화 및 DB 확보                             <ul style="list-style-type: none"> <li>- 실시간 연속 특성평가 모듈 적용 전사공정 기술 개발</li> <li>- 특성평가 DB 적용 전사효율 향상 기술 개발</li> </ul> </li> </ul>

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
8인치 vdW 소재 무손상 전사 기술 개발	vdW 소재 전사용 On-demand 신규 필름 개발 [인치/종류]	≥8/(1종)	≥12/(2종)	-
	vdW 전사 영역 (인치)	≥6	≥8	-
	전사 성공률 (전사율 %)	≥90	≥99	전사 전 & 후 비교 검증

8인치 vdW 소재 무손상 전자 품질 평가 기술 개발	무손상 전자 실시간 품질 평가	-	-	단계별 목표 자율 제시 (예시: 실시간 스펙트럼 분석 기술(특정 peak, 세기, 위치 변화 등 평가)-ML, AI 기술 활용 가능))
	소재 소자화에 의한 균일성 및 재현성 검증 (불량/횡수)	≤10/100	≤2/100	균일성/재현성 검증방법 및 불량 기준은 자율제시 (기준 예시: 전자 이동도 $\mu_e =$ 300 cm <sup>2</sup> /V·s & 균일도 $\Delta =$ ±50 cm <sup>2</sup> /V·s 이내 @ 상온)
	특성평가 DB 확보	≥6	≥8	목표 스펙 자율 제시 (예시: 해상도 100 μm × 100 μm 당 1개 데이터로 8인치 전체 영역 특성평가 DB 확보 가능 소프트웨어 또는 앱 개발)

▶ (주관 2-1) vdW 소재에 기반한 초미세 셀 트랜지스터 기술 개발

□ 연구개발 목표 및 내용

- 목표: 물리적 한계에 근접한 반도체 기술의 극복을 위해 나노급 이하의 고집적화에도 단채널 효과가 발생하지 않는 새로운 vdW 소재의 적용과 수직적층형 반도체 구조를 위한 미세화 패터닝 기술 개발
- 합성된 vdW 기반 셀 트랜지스터 초미세 공정기술 개발 (10-15 nm 채널길이 pitch)
- 초고집적 DRAM 개발을 위한 vdW 소자 및 array 식각기술 개발
- vdW 기반 소자 단위에서 컨택저항 저감을 위한 패턴 및 공정 기술 개발
- 적층형 DRAM을 위한 저온 성장 가능 반금속 컨택구조 및 공정기술 개발

□ 단계별 연구개발 내용

주관 2-1	1단계	<p>□ vdW 소재 미세 소자 제작 및 단채널 효과 평가 기술 개발 (50 nm 이하)</p> <ul style="list-style-type: none"> <li>○ 본 컨소시엄 연구개발과제에서 합성된 vdW 기반 단일 소자 미세 패터닝 기술 (채널 길이 50 nm 이하 단일소자 제작을 위한 정밀 미세 패터닝 기술 연구) <ul style="list-style-type: none"> <li>- 나노스케일 리소그래피 공정을 활용하여 안정적인 미세 패터닝 조건 확보</li> <li>- 채널 스케일링에 따른 단채널 효과 평가를 위한 소자 구조 설계</li> <li>- 미세 트랜지스터 어레이 패턴 설계/검증을 통한 노하우 기술 확보 (출연연, 나노랩, 반도체기관과의 협력 및 시설 활용)</li> </ul> </li> <li>○ vdW 반도체 소재와 안정적 컨택을 형성하기 위한 배선 전극 공정 기술 개발 (채널 길이 50 nm 이하 vdW 소자 제작 및 성능 최적화 연구) <ul style="list-style-type: none"> <li>- vdW 기반 집적소자 구현을 위한 선택적 &amp; 고정밀 식각 기술 확보</li> <li>- 소재의 물리적, 전기적 특성을 유지 가능한 스케일 다운 식각 공정 확보</li> <li>- 저접촉저항 구현을 위한 vdW 소자의 소스-드레인 디자인 설계</li> </ul> </li> <li>○ vdW 기반 MOSFET 구조에서 단채널효과 평가 기술 구축 (채널 길이 변조에 따른 단채널 효과의 정량적 평가 및 분석 연구) <ul style="list-style-type: none"> <li>- 다양한 채널 길이에 따른 문턱전압 측정 및 변화율 DB 확보</li> <li>- vdW 도핑 및 전극 소재에 따라 채널에서 발생하는 DIBL 현상 분석</li> <li>- Hot carrier injection 현상 정량적 측정 및 개선 방안 도출</li> </ul> </li> </ul>
	2단계	<p>□ vdW기반 10 nm 급 pitch Tr. 채널 패터닝 기술 개발</p> <ul style="list-style-type: none"> <li>○ vdW 10 nm 급 채널 패터닝 기술 <ul style="list-style-type: none"> <li>- 초정밀 나노리소그래피 장비를 활용한 초 미세 10 nm급 채널길이 구현</li> </ul> </li> </ul>

	<ul style="list-style-type: none"> <li>- 어레이의 균일성이 오차 10% 이내인 미세 식각기술 개발</li> <li>- 고집적메모리 소자 스펙을 만족하는 셀 어레이 리소그래피 및 식각기술 개발</li> <li>○ 본 연구개발과제에서 합성된 vdW 초미세 소자에서의 컨택 최적화 공정 기술 개발 <ul style="list-style-type: none"> <li>- vdW 소자 소스/드레인 컨택을 위한 알칼리계열 물질을 사용하지 않으며, 잔류 프리 커서가 없는 저차원 반금속 기반 컨택 공정 기술 개발</li> <li>- Thermal budget에 따른 후속 공정 영향성을 최소화하기 위한 400 °C 이하 컨택 공정 기술 개발</li> <li>- vdW 소자 컨택 공정에 따른 특성 평가 기술 개발</li> </ul> </li> <li>○ 나노랩 및 반도체 기관/기업과의 공정기술 교차 검증 <ul style="list-style-type: none"> <li>- 초미세 반도체공정을 활용중인 공공나노랩 또는 반도체 기업과의 설계, 분석 분야 협력 및 상호 검증을 통해 초미세 패터닝 공정 및 식각기술의 재현성 및 균일성 확보</li> </ul> </li> </ul>
--	-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
vdW 소자 패터닝/식각/컨택 공정 개발	채널길이 (nm)	≤50	≤10	-
	패터닝 사이즈 오차 (%)	≤20	≤10	-
	식각 후 소자 균일성 (%)	≤20	≤10	-
	기타 패터닝/식각/컨택 공정 관련 자율제시 항목	-	-	단계별 목표 자율제시
초미세 트랜지스터 특성 확보 기술	평균 이동도 (cm <sup>2</sup> /Vs)	≥30	≥50	단계별 목표에 부합하는 초미세 트랜지스터 적용
	스위칭 속도 (meV/dec)	≤200	≤100	단계별 목표에 부합하는 초미세 트랜지스터 적용
	평균 On/Off 비	≥1E5	≥1E7	단계별 목표에 부합하는 초미세 트랜지스터 적용
	기타 초미세 트랜지스터 특성 자율제시 항목	-	-	DIBL 등 초미세 트랜지스터 특성 단계별 자율제시

▶ (주관 2-2) 이중접합 계면 정밀 제어 기술 개발

□ 연구개발 목표 및 내용

- 목표: vdW 소재의 반도체 소자 적용 시 이중접합부에서 필연적으로 발생하는 계면결함의 원인을 규명하고 이를 해결하기 위한 계면제어소재, 물리·화학적 vdW표면 개질 기술 개발을 통해 상용화 가능한 vdW 소자 고정 기술 개발
- vdW/금속 소재의 계면결함 발생 메커니즘 규명 및 접촉저항 감소 기술개발
- vdW/초고유전체 소재의 계면결함 발생 메커니즘 규명 및 계면특성제어 기술개발
- 소자 Integration에 적용 가능한 제어 공정 기술 고도화

□ 단계별 연구개발 내용

	1단계	<p>□ 계면결합 해석 및 계면특성제어 기술개발</p> <ul style="list-style-type: none"> <li>○ High-k/vdW(n &amp; p-type) 계면특성 해석 및 제어기술개발             <ul style="list-style-type: none"> <li>- vdW 채널과 high-k 유전체 간의 계면결합 분석 및 발생 메커니즘 규명</li> <li>- vdW 채널 상 계면소재 형성을 통한 계면결합 감소 효과 실증</li> <li>- 계면결합제어 가능성을 high-k/계면소재/vdW 구조의 MOSCAP 소자 제작을 통해 확인</li> </ul> </li> <li>○ 준-이상적 금속/vdW(n &amp; p-type) 계면 확보를 위한 소재/공정 설계             <ul style="list-style-type: none"> <li>- vdW 소재의 phase 제어(상변태)를 통한 준 안정상의 금속 접합 제어</li> <li>- Fermi level pinning 현상 극복가능한 vdW 구조를 갖는 금속 적용, 금속/반금속 물질의 1D 접촉 구조 형성, 도핑 방식 적용 등을 통한 전하 주입 효율 최적화</li> </ul> </li> <li>○ 계면특성제어 기술이 적용된 소자 제작 및 성능/구동 해석             <ul style="list-style-type: none"> <li>- High-k/vdW, 금속/vdW 계면특성제어 기술을 적용한 vdW 소재(n &amp; p-type) 기반 단일 planar vdW nanosheet 반도체 소자 제작 및 전기적 특성 평가, 해석</li> <li>- 웨이퍼 스케일 연구를 통해 다회의 특성 데이터를 수집, 통계 분석을 실시하여, 신뢰성을 평가 후 TCAD를 이용 이론치와 실험치를 비교 분석</li> </ul> </li> <li>○ 계면제어 효과 메커니즘 규명을 위한 기본 데이터 확보</li> <li>○ 반도체 기관/기업과의 교차 검증 (개발된 planar type 단위 소자의 반도체 기관/기업에서의 평가를 통한 소자 성능의 비교 검증 및 신뢰성 확보)             <ul style="list-style-type: none"> <li>- 반도체 기업의 성능평가 틀을 사용하여 통계적 데이터 확보</li> <li>- 반도체 기업의 첨단 공정으로 제작된 단위 소자와의 성능 비교 평가를 통해 개발된 소자의 성능 수준 확인</li> </ul> </li> </ul>
주관 2-2	2단계	<p>□ vdW 채널 적층구조에서의 실증 평가 및 계면제어공정 고도화</p> <ul style="list-style-type: none"> <li>○ 최적의 high-k/계면소재/vdW(n &amp; p-type) 계면제어공정 확보를 통한 최적의 MOSCAP 소자 특성 도출 (1단계 검증 완료된 계면제어를 통해 최적의 소자 구조 도출)</li> <li>○ 최적의 준-이상적 금속/vdW(n &amp; p-type) 계면제어공정 확보를 통한 최적의 n-, p-컨택특성 도출 (1단계 검증 완료된 계면제어를 통해 최적의 소자 구조 도출)</li> <li>○ 원자층 반도체 채널에서의 vdW 계면제어 효과 메커니즘 규명             <ul style="list-style-type: none"> <li>- STM, HR-TEM, DLTS, DFT 모델링 등의 계면현상을 규명할 다양한 분석 Platform 확립, 적용</li> </ul> </li> <li>○ 수직으로 집적된 vdW 채널 소자 제작 및 구동 능력 평가 (bridge 형태의 소자를 구동, 소자 특성 변화 관측)             <ul style="list-style-type: none"> <li>- 1단계에서 확보된 원자층 반도체 소재 및 증착 기술이 적용된 적층 소자 구현</li> <li>- vdW 소재의 진공 내 분리 및 적층 시스템 최적화</li> <li>- 나노시트들이 수직으로 적층된 소자를 제작하여 열 및 전기적 특성 평가</li> </ul> </li> <li>○ 원자층 반도체 채널에서의 vdW 계면제어 효과 메커니즘 규명 (vdW 계면제어 물질의 원자층 반도체 표면의 계면제어 메커니즘을 규명, 신물질에 적용 가능한 이론 확립)             <ul style="list-style-type: none"> <li>- STM, HR-TEM, DLTS 등의 분석법을 통해 계면현상을 규명할 분석 Platform 확립</li> <li>- DFT 모델링을 이용한 ACM을 포함한 다양한 vdW 접합 소재 적용시 원자층 반도체 채널 표면 위의 전자 구조 분석을 통해 계면제어 메커니즘 규명</li> </ul> </li> <li>○ 반도체 기관과의 교차 검증 (개발된 적층구조의 vdW nanosheet 소자의 반도체 기관에서의 평가를 통한 소자 성능의 비교 검증 및 양산 적용 가능성 검토)             <ul style="list-style-type: none"> <li>- 반도체 기업의 초미세 소자 성능평가 틀을 사용하여 소자 데이터 확보</li> <li>- 첨단 공정으로 제작된 단위 소자와의 성능 비교/평가를 통해 개발된 소자의 성능 수준 확인 및 공정 적합성 평가를 통해 미래 양산 가능성 검증</li> </ul> </li> </ul>

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
금속/vdW 계면제어	접촉 비저항 ( $k\Omega \cdot \mu m$ )	$\leq 1.0$	$\leq 0.7$	-
	On-state 전류 ( $\mu A/\mu m$ )	$\geq 150$	$\geq 250$	-

	스위칭 속도 (mV/dec)	≤200	≤150	-
	수직적층의 MOS gain	≥20	≥50	-
고유전체/vdW 계면제어	계면결함밀도 (cm <sup>-2</sup> · eV <sup>-1</sup> )	≤5E12	≤1E12	-
	누설전류 (A/cm <sup>2</sup> )	≤5E-4	≤1E-4	-

▶ (주관 2-3) vdW 소재 기반 3차원 적층형 논리연산 소자 기술 개발

□ 연구개발 목표 및 내용

- 목표: 나노급으로 초미세화된 상황에서도 전류흐름에 대한 적정 수준의 제어력 확보가 가능한 vdW 소재를 이용한 DRAM용 Peri-transistor 제작 및 특성 평가 기술 개발
- 이를 통한 3차원 적층형 논리연산 소자 설계 및 공정 기술 개발을 위한 발판을 마련
- 적층형 논리연산 소자 기반 Inverter, Full or Half-adder 회로 제작 및 실증

□ 단계별 연구개발 내용

주관 2-3	1단계	<p>□ vdW 소재 기반 적층형 논리연산 소자 구조 및 공정 기술 개발</p> <ul style="list-style-type: none"> <li>○ 적층형 논리연산 소자를 위한 vdW 소재 적층 공정 기술 개발 <ul style="list-style-type: none"> <li>- 다양한 vdW 소재 조합을 통한 최적 적층 구조 탐색</li> <li>- 적층 공정의 효율성과 소재 간 인터페이스 특성 최적화 연구</li> </ul> </li> <li>○ 적층형 논리연산 소자용 게이트 공정 및 금속 배선 패터닝 기술 개발 <ul style="list-style-type: none"> <li>- 적층된 vdW 구조내 최적 게이트 소재 탐색 및 공정 기술 확보</li> <li>- 게이트 절연 특성 확보 및 전극 연결 패터닝 기술 및 공정 개발</li> </ul> </li> <li>○ 적층형 논리연산 소자 전기적 특성 분석 및 공정기술 최적화 <ul style="list-style-type: none"> <li>- 소자의 전기적 특성 측정 및 분석 방법론 개발</li> <li>- 전기적 특성 결과에 기반한 소자 구조/공정 최적화 연구</li> </ul> </li> </ul>
	2단계	<p>□ vdW 소재 기반 적층형 논리연산 소자 제작 및 논리 연산 소자 실증</p> <ul style="list-style-type: none"> <li>○ DRAM 용 Peri-Transistor 제작 및 동작 특성 평가 기술 개발 <ul style="list-style-type: none"> <li>- 적층된 vdW 소재의 전기적 특성 기반 고밀도 저전력 Peri. Tr. 설계 및 제작</li> <li>- 전력 누수 감소 및 전력 효율 향상을 위한 소자 설계, 안정성 및 내구성 향상 연구</li> </ul> </li> <li>○ Inverter, Full or Half-adder 회로 제작 및 실증 연구 <ul style="list-style-type: none"> <li>- 적층형 논리연산 소자 기반 논리 연산 소자 회로 설계기술 개발</li> <li>- 적층형 논리연산 소자 기반 논리 연산 소자 특성 분석 및 최적화 연구</li> </ul> </li> </ul>

□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
vdW 소재 기반	On-state 전류 ( $\mu A/\mu m$ )	≥70	≥100	-
	게이트 유전막 균일도 (%)	≤15	≤10	-
논리연산 소자 공정 기술 및 소자 구조 개발	문턱 전압 (V)	≤2.5	≤1.5	-
	Subthreshold Swing (mV/dec)	≤120	≤80	-
	소자구동 안정성			단계별 목표 자율제시
vdW 소재 기반 논리 연산 소자 제작 및 실증	Power consumption (W) (CMOS peri-transistor 기준)	≤5E-8	≤1E-8	-
	vdW 논리연산 소자기반 회로 개발			단계별 자율제시



▶ (주관 2-4) 적층형 3차원 메모리 셀 구현 및 동작검증 기술개발

□ 연구개발 목표 및 내용

- 목표: DRAM 소자 스케일링의 기술적 한계를 극복하기 위해 DUV공정을 활용하여 vdW 소재 기반 메모리 반도체 소자를 개발하고 수직적층형 고집적 3D 셀 구현을 위한 공정 기술 개발
- 적층 DRAM 셀 트랜지스터 구현을 위한 금속배선 패터닝 및 증착 공정기술 최적화
- 3D 구조의 셀 트랜지스터와 storage capacitor의 특성파라미터를 기반으로 6단 적층 구조의 1T-1C셀 어레이 구현 및 공정기술 개발
- 6단 vdW 채널 적층 DRAM 셀 트랜지스터 1T-1C셀 어레이 구조 실시간 동작특성검증 시스템 개발
- 6단 3D 1T-1C DRAM의 성능 최적화를 위한 핵심요소기술 개발

□ 단계별 연구개발 내용

주관 2-4	1단계	<p>□ 6인치 웨이퍼급 2단 vdW채널 1T-1C셀 어레이 개발</p> <ul style="list-style-type: none"> <li>○ vdW 소재별 단위(1단) 1T-1C DRAM셀의 소형화 기술 개발                             <ul style="list-style-type: none"> <li>- vdW 소재 기반 1T-1C DRAM 셀의 소형화를 위한 layout 최적화</li> <li>- vdW 소재 기반 고성능 셀 트랜지스터 공정 개발 및 전기적 성능 최적화</li> <li>- vdW 소재 기반 셀 트랜지스터의 전기적 성능 평가기술 개발</li> <li>- 산화물, vdW 소재 등 다양한 high-k 소재 기반 셀 커패시터 공정 및 성능 평가기술 개발</li> </ul> </li> <li>○ 단위 vdW소재 기반 셀 트랜지스터 성능 향상 기술 개발                             <ul style="list-style-type: none"> <li>- 다양한 high-k 절연막 적용을 통한 vdW 채널과의 계면 결함밀도 분석 및 최소화 기술 개발</li> <li>- vdW 채널과 금속 소스/드레인 접합 공정 및 성능 향상 기술 개발</li> </ul> </li> <li>○ 2단 vdW채널 1T-1C셀 어레이 개발 및 특성 평가 시스템 개발                             <ul style="list-style-type: none"> <li>- 단위 공정 기술 및 layout 최적화를 통한 고집적 1T-1C 셀 어레이 공정기술 개발</li> <li>- 2단 vdW채널 1T-1C셀 어레이 개발을 위한 금속 배선 소재 및 공정 개발</li> <li>- 1T-1C 셀의 동작속도 및 전기적 특성 평가</li> <li>- 단위 셀의 전기적 특성 파라미터 기반 어레이 레벨 소자 전산모사 및 다양한 동작조건하에서 전기적 특성 검증</li> </ul> </li> <li>○ 반도체 기관과의 협력 및 교차검증 (1-2단계 공통)                             <ul style="list-style-type: none"> <li>- 반도체 기관과 vdW채널 셀 트랜지스터 공정 기술 및 성능향상 전략 공유</li> <li>- 차세대 DRAM 셀 성능에 관한 평가 및 기술 협력</li> <li>- 본 과제의 최종목표인 ‘vdW 트랜지스터기반 6단 수직적층형 3D DRAM 집적기술 개발’을 진행하면서 반도체 기관의 공정기술을 활용한 교차검증 수행</li> <li>- 반도체 연구기관과 교차 검증을 통하여 본 과제의 성과들에 대한 정량적인 평가 및 산업적인 가치 제고</li> <li>- 컨소시엄 내 소재합성 과제와 연계하여 차세대 vdW 소재의 대면적 웨이퍼 레벨 증착기술의 상용화 가능성 평가</li> <li>- 초박막 소재의 표면 및 물성분석기술</li> <li>- 6단 수직적층 1T-1C DRAM셀 어레이의 초고속 동작 측정 시스템 및 메모리 특성 평가를 위한 multi-probe 시스템 개발 및 상호 교차 평가/검증</li> </ul> </li> </ul>
	2단계	<p>□ 8인치 웨이퍼급 6단 vdW채널 1T-1C셀 어레이 개발</p> <ul style="list-style-type: none"> <li>○ 6단 vdW채널 1T-1C셀 어레이 검증 및 특성 최적화                             <ul style="list-style-type: none"> <li>- 적층 공정 기술 및 layout 최적화를 통한 6단 1T-1C 셀 어레이 개발 및 검증</li> <li>- 6단 vdW 채널 1T-1C셀 어레이 개발을 위한 금속 배선 소재, 공정 및 layout 최적화</li> <li>- 6단 1T-1C 셀의 동작속도 및 전기적 특성평가</li> <li>- 6단 1T-1C 셀 어레이 read/write/retention 동작특성 검증</li> </ul> </li> </ul>

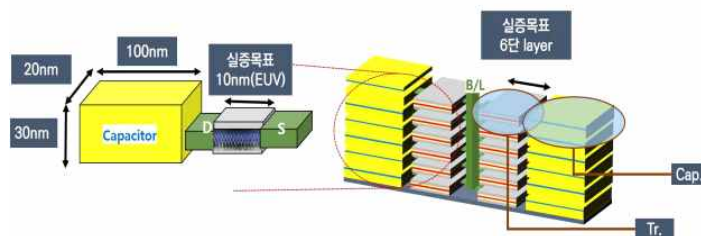
□ 성과목표

항목(모듈)		1단계 목표	최종 목표	비고
vdW소재기반 수직적층형 1T-1C 3D DRAM집적	웨이퍼 크기 (인치)	≥6	≥8	
	채널 길이	-	-	3D 적층 공정에서 사용가능한 테크 노드를 고려하여 연구자 자율제시
	적층 단수	≥2	≥6	
	동작 전압, Vdd (V)	≤3.0	≤1.5	-
	구동전류 ( $\mu A/\mu m$ )	≥50	≥100	NMOS 기준, 산포 10% 이내
금속배선 공정 및 반도체/금속 접합	문턱 전압 산포 (V)	≤0.6	≤0.4	산포 측정의 구체적 방법은 과제계획서에 명시
	접촉저항( $k\Omega-\mu m$ )	≤3.0	≤1.0	상기 구동전류 달성을 위해 필요한 컨택저항 수치로 설정
	공정온도	-	-	단계별 목표 자율제시

▶ (주관 3) 사업단

□ 연구개발 목표 및 내용

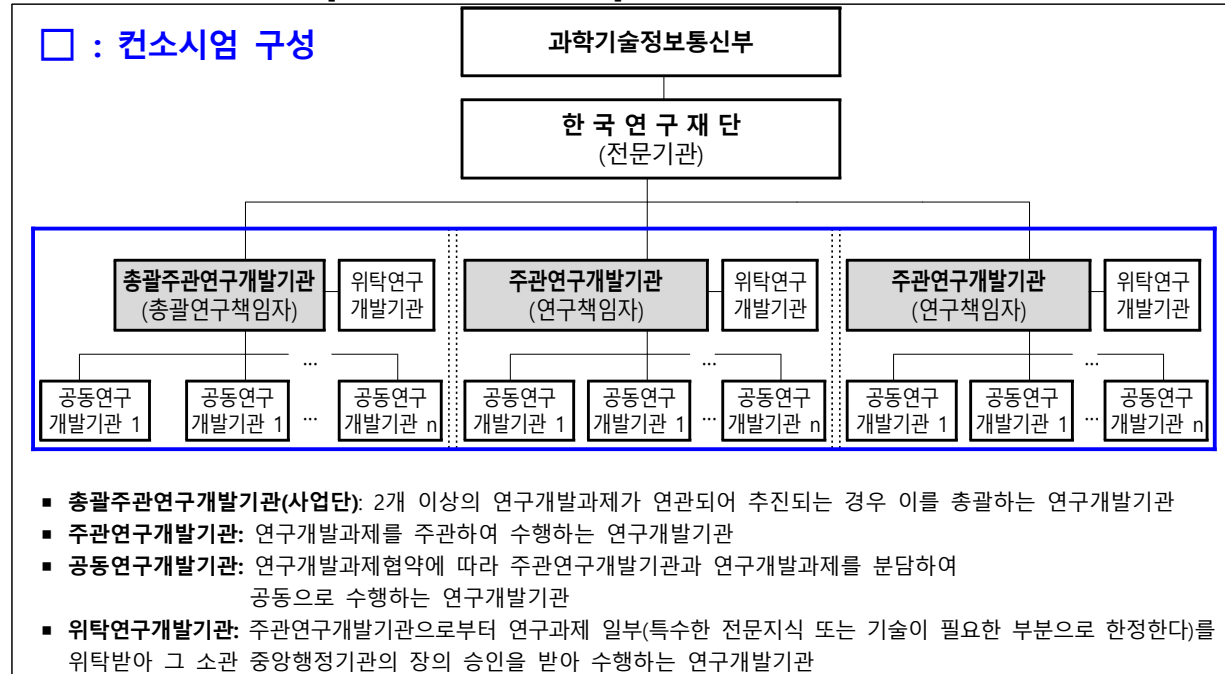
- 사업단은 컨소시엄의 총괄주관연구개발기관이며, 사업단장은 총괄주관연구개발기관의 연구책임자가 되어야 함
- 사업단 중심으로 서로 연관되어 추진되는 (주관) 연구개발과제들을 총괄 관리 및 총괄 연구개발계획 수립 및 단계별 성과목표와 최종 산출물 관리
- 사업목표 달성을 위한 주관과제 간의 연계·협력연구 추진
- 사업목표 달성에 중요한 역할을 차지하는 반도체기업·공공랩·국가대형사업단 및 국제 연구기관과 사업 추진을 위한 협약 체결
- 2D 미세화와 3D 적층의 통합 반도체 시스템 검증을 위해 학교·연구소·공공랩·국제 협력(IMEC) 및 반도체기업과의 교차 검증 추진: 1단계 목표 중 상용수준 성능 확보에 필요한 목표를 달성할 수 있도록 컨설팅 수행을 통해 진도점검하며 vdW 소재 및 vdW 소자의 성능적 완성도 제고
- vdW 반도체 소재·부품·장비의 전주기적인 지원을 통하여 필요한 소부장 핵심 요소기술 확보
- 연차별 연구개발성과 (사업계획서 목표 대비 달성도: 개발내용에 대한 상세 스펙, 특허, 논문 등 포함) 및 글로벌 산업환경 변화에 따라 주관과제별 차년도 연구비 규모에 대한 의견을 전문기관 및 중앙행정기관에 제안 가능
- 동 사업 신규과제 기획에 참여하여 우수한 RFP 도출을 위하여 노력하여야 함



□ 추진체계

- 사업단(장) 중심으로 과학기술정보통신부, 전문기관(한국연구재단) 등과 연계하여 컨소시엄 연구 관리 및 연구 수행을 추진하고, 관련 기업, 공공팹, 국제협력기관과의 협업 체계 구축
- (사업단(장)) 컨소시엄 진도관리, 성과관리·보급 확산 및 홍보, 사업전략계획 수립 및 사업 성과평가 추진·지원, 연구개발결과의 검토·보고, 사업단 조직운영 등 사업 총괄 수행

< [컨소시엄 연구개발과제] 연구개발기관 수행 체계 >



□ 단계별 연구개발 내용

주관 3	1단계	<ul style="list-style-type: none"> <li>○ 국내/외 글로벌 반도체 분야 연구 네트워크 활동 : 연 1회 이상</li> <li>○ 수요 기반 반도체 기술 관련 맞춤형 정보 수집·제공 : 단계별 1회 이상</li> <li>○ 1단계 연구목표 및 최종 산출물 관리             <ul style="list-style-type: none"> <li>- 각 주관과제별 운영 실태 평가 : 연 1회 이상</li> <li>- 전문위원회를 구성하여 연차별 연구성과 진도점검(컨설팅) 관리: 연 1회 이상</li> <li>- 연구 성과 실증을 위한 유관 기관과의 협약 체결</li> </ul> </li> </ul>
	2단계	<ul style="list-style-type: none"> <li>○ 국내/외 글로벌 반도체 분야 연구 네트워크 활동 : 연 1회 이상</li> <li>○ 수요 기반 반도체 기술 관련 맞춤형 정보 수집·제공 : 단계별 1회 이상</li> <li>○ 2단계 연구목표 및 최종 산출물 관리             <ul style="list-style-type: none"> <li>- 각 주관과제별 운영 실태 평가 : 연 1회 이상</li> <li>- 전문위원회를 구성하여 연차별 연구성과 진도점검(컨설팅) 관리: 연 1회 이상</li> <li>- 연구 성과 실증을 위한 유관 기관과의 협약 체결</li> </ul> </li> </ul>

□ 사업단장 주요 임무 및 자격기준

- 주요임무 : 사업의 총괄 관리자

- ※ 사업단장은 사업/연구팀을 구성하여 컨소시엄의 총괄 관리자 역할 수행을 위해 사업단 운영의 책임을 담당함
- ※ 사업단장은 연구성과의 실증을 위해 반도체기업, 반도체장비기업, 공공팹, 국제반도체연구기관과의 협력방안을 수립하고, 각 기관과의 협약을 체결해야 함

- 사업 전략계획, 세부 추진계획 수립 및 사업 성과평가 수행·지원
- 동 사업 컨소시엄의 총괄주관연구개발기관 연구책임자 역할 수행
- 연구 추진현황 상시 모니터링(월별·분기별 진도 관리)
- 반도체기업, 반도체장비기업, 공공웹, 대형 사업단, 국제반도체연구기관 등과의 협력
- 연구개발성과(지식재산권 포함) 창출과 기존 사업 연계 또는 비즈니스 모델 창출 지원
- 연구개발과제 및 컨소시엄의 성과관리 및 홍보
- 사업단 조직·인력 구성 및 운영에 관한 사항
- 기타 사업의 효율적 추진을 위하여 필요한 사항
- **(전념 원칙)** 사업단장은 사업단의 대표로서 업무에 전념하여야 하며, 타 업무 참여 및 겸직 불가를 원칙으로 함
  - 현 소속기관 내에서 타 업무 참여 및 보직 겸임 불가, 출연연구원의 연구부장·연구센터장, 대학의 학장 등 보직 겸임 불가, 이 외 신규 국가연구개발사업 참여 불가
  - 사업의 내용과 이해관계 있는 업무 겸직 불가
  - 사업 참여 기업의 주식지분 취득 및 참여 불가(가족포함)

#### 4. 공동 정량 성과지표

- 정부지원연구개발비 10억원 당 특허 출원 4건/등록 2건 이상을 고려하여 주관과제별 특허 건수를 단계별로 자율 제시(삼극특허 포함)하되 컨소시엄 총괄목표도 함께 제시
- 정부지원지원연구개발비 10억원 당 SCIE 논문 5건 이상을 고려하여 JCR 5% 이내 SCIE 논문 건수 각각 자율 제시하되 컨소시엄 총괄목표도 함께 제시

#### 5. 지원기간/예산/추진체계

- 연구개발기간 : '25.5. ~ '31.1.(총 69개월 내외, (3+3)33개월+36개월)
- 정부지원연구개발비 : 총 37,700백만원 내외('25년 4,000백만원)

(단위: 백만원)

	1단계('25.5. ~ '28.1. / 33개월)			2단계('28.2. ~ '31.1. / 36개월)		
	1차년도	2차년도	3차년도	4차년도	5차년도	6차년도
	'25.5.~'26.1.	'26.2.~'27.1.	'27.2.~'28.1.	'28.2.~'29.1.	'29.2.~'30.1.	'30.2.~'31.1.
주관 1-1	918	1,860	1,680	1,210	1,210	1,110
주관 1-2	330	440	440	440	440	440
주관 1-3	125	300	300	300	300	300
주관 1-4	250	450	480	500	500	450
주관 1-5	125	200	250	300	400	200
주관 2-1	650	900	750	550	550	550

주 관 2-2	350	500	500	500	500	450
주 관 2-3	250	350	300	300	300	100
주 관 2-4	750	1,050	1,000	1,000	1,000	1,050
주 관 3	252	400	400	400	400	400
합계	4,000	6,450	6,100	5,500	5,600	5,050

○ 선정 과제 수 : 1개 컨소시엄(10개 연구개발과제)

○ 과제형태 : (컨소시엄)연구개발과제

○ 기타(특기)사항

- 컨소시엄 내 각 주관과제의 연구책임자 및 연구개발기관 등은 반드시 총괄주관연구개발기관(사업단 및 사업단장)의 관리하에 공통의 사업목표를 성실히 달성할 수 있도록 적극적으로 협조하여야 함
- 사업단장은 주관3(사업단) 과제 외에 동 사업 내에서 세부 주관과제 중 1개를 추가로 수행 가능하며, 컨소시엄의 총괄주관연구개발기관 연구책임자 역할을 수행하여야 함
- 연구개발성과의 실증을 위해 반도체기업, 반도체장비기업, 공공팹, 국제반도체연구기관과의 협력방안을 제시하여야 하고, 1단계 연구개발기간 내에 각 기관과의 공식적인 협력약정서를 체결해야 함